

#2
4/30/02

11011 U.S. PTO
09/975420



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 20764 호
Application Number PATENT-2001-0020764

출원년월일 : 2001년 04월 18일
Date of Application APR 18, 2001

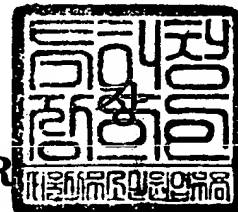
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 09 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.04.18
【발명의 명칭】	불휘발성 메모리를 프로그램하는 방법 및 장치
【발명의 영문명칭】	METHOD AND DEVICE OF PROGRAMMING NONVOLATILE MEMORY

【출원인】

【명칭】	삼성전자 주식회사
------	-----------

【출원인코드】	1-1998-104271-3
---------	-----------------

【대리인】

【성명】	임창현
------	-----

【대리인코드】	9-1998-000386-5
---------	-----------------

【포괄위임등록번호】	1999-007368-2
------------	---------------

【대리인】

【성명】	권혁수
------	-----

【대리인코드】	9-1999-000370-4
---------	-----------------

【포괄위임등록번호】	1999-056971-6
------------	---------------

【발명자】

【성명의 국문표기】	안종근
------------	-----

【성명의 영문표기】	AHN, JONG KEUN
------------	----------------

【주민등록번호】	701206-1057321
----------	----------------

【우편번호】	157-200
--------	---------

【주소】	서울특별시 강서구 가양동 가양아파트 411동 406호
------	-------------------------------

【국적】	KR
------	----

【심사청구】	청구
--------	----

【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
------	--

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	3	면	3,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	8	항	365,000	원
---------	---	---	---------	---

【합계】	397,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

여기에는 불휘발성 메모리를 프로그램하는 방법이 개시되어 있다. 불휘발성 메모리는 제어 시스템 내에 구현되고, 기입 버퍼 및 메모리 셀들의 어레이를 포함한다. 프로그램 방법에 의하면, 먼저, 직렬 어드레스 비트들이 순차적으로 입력되어 어드레스 레지스터에 유지되고, 제 1 그룹의 직렬 데이터 비트들이 순차적으로 입력되어 데이터 레지스터에 유지된다. 그 다음에, 상기 제 1 그룹의 직렬 데이터 비트들이 모두 전송되었는지의 여부가 판별된다. 상기 직렬 데이터 비트들이 모두 전송될 때 상기 데이터 레지스터에서 상기 기입 버퍼로 상기 직렬 데이터 비트들이 동시에 전송된다. 상기 어드레스 비트들에 따라 상기 직렬 데이터 비트들에 대한 프로그램 동작을 수행하는 동안, 제 2 그룹의 직렬 데이터 비트들이 순차적으로 입력되어 상기 데이터 레지스터에 유지된다.

【대표도】

도 1

【명세서】

【발명의 명칭】

불휘발성 메모리를 프로그램하는 방법 및 장치{METHOD AND DEVICE OF
PROGRAMMING NONVOLATILE MEMORY}

【도면의 간단한 설명】

도 1은 본 발명의 제 1 실시예에 따른 시스템 구성을 보여주는 블록도;

도 2는 도 1에 도시된 직렬 인터페이스 회로를 이용한 1바이트의 데이터를
전송하고 프로그램하는 방법을 설명하기 위한 동작 타이밍도;

도 3은 도 1에 도시된 직렬 인터페이스 회로를 이용한 4바이트의 데이터를
전송하고 프로그램하는 방법을 설명하기 위한 동작 타이밍도;

도 4는 본 발명의 제 2 실시예에 따른 마이크로 제어 시스템의 개략적인 구
성을 보여주는 블록도; 그리고

도 5는 본 발명의 제 3 실시예에 따른 마이크로 제어 시스템의 개략적인 구
성을 보여주는 블록도이다.

* 주요 부분에 대한 부호 설명 *

100 : 불휘발성 메모리 120 : 행 및 열 디코더 블록

140 : 어레이 160 : 고전압 발생기

180 : 기입 버퍼 200 : 메모리 컨트롤러

210 : 제어 로직 220 : 데이터 레지스터

230 : 어드레스 레지스터 240 : 바이트 선택 레지스터

250 : 커맨드 레지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 집적 회로 장치에 관한 것으로, 좀 더 구체적으로 마이크로 제어 시스템에 구현된 불휘발성 반도체 메모리를 프로그램하는 방법 및 장치에 관한 것이다.

<14> 불휘발성 메모리는, 잘 알려진 바와 같이, 파워-오프시 조차 저장 정보를 유지하도록 마이크로 제어 시스템(또는 마이크로컨트롤러) 내에 제공되어 왔다. 그러한 불휘발성 메모리의 저장 정보는 다음의 2가지 방법에 의해서 갱신될 수 있다. 하나는 병렬 인터페이스 방식(parallel interface method)이고, 다른 하나는 직렬 인터페이스 방식(serial interface method)이다. 병렬 인터페이스 방식에 의하면, 불휘발성 메모리의 저장 정보는 어드레스, 데이터 그리고 제어 신호를 이용하여 외부에서 직접 갱신된다. 직렬 인터페이스 방식에 의하면, 불휘발성 메모리의 저장 정보는 일정 속도의 클럭 신호와 데이터 신호를 이용하여 갱신된다. 이러한 인터페이스 방식들은 모두 전용 인터페이스 회로(dedicated interface circuit)와 더불어 중앙 처리 장치(CPU)의 개입으로 또는 개입 없이 구현 가능하다.

<15> 병렬 인터페이스 방식을 이용하여 불휘발성 메모리의 저장 정보를 갱신하는 경우, 마이크로 제어 시스템에 있는 불휘발성 메모리가 어드레스, 데이터 및 제어 신호를 따라서 직접 제어될 수 있는 것이 장점이다. 즉, 마이크로 제어 시스템에 구현되는 불휘발성 메모리는 마치 독립된 메모리 칩인 것처럼 제어될 수 있다. 하지만, 연결되는 신호 라인들이 많아지고, 이는 시스템 설계의 부담으로 작용할 수 있다. 직렬 인터페이스 방식을 이용하여 불휘발성 메모리의 저장 정보를 갱신하는 경우, 마이크로 제어 시스템 내부에는 불휘발성 메모리를 제어하기 위한 직렬 인터페이스가 제공되며, 불휘발성 메모리의 저장 정보는 클럭 및 데이터 신호들 또는 송수신 데이터 신호들을 이용하여 갱신된다.

<16> 일반적으로, 불휘발성 메모리의 크기가 다양하기 때문에, 불휘발성 메모리를 제어하기 위한 제어기 모듈은 통일된 하나의 커다란 직렬 버퍼(serial buffer)를 내장하고 있다. 직렬 버퍼에 데이터가 모두 채워지고, 그 다음에 직렬 버퍼의 크기에 상응하는 데이터가 불휘발성 메모리에 동시에 기입된다. 이러한 까닭에, 불휘발성 메모리 제어 모듈은 통일된 직렬 프로그래밍 인터페이스를 가질 수 있다. 직렬 버퍼에 입력된 데이터를 불휘발성 메모리에 동시에 기입하기 위해서는, 직렬 버퍼의 크기 또는 그것에 저장되는 데이터 비트들에 각각 대응하는 비트 라인들이 메모리 셀 어레이에 연결되어야 한다. 그러므로 커다란 데이터 버스가 필수적으로 요구된다.

<17> 이러한 프로그램 방법에는 복수의 데이터 비트들을 동시에 프로그램할 수 있다는 장점이 있다. 하지만 프로그램 시간의 증가, 전압 펄핑 회로의 구동 능력 증가 또는 소모 전류의 증가 등과 같은 부수적인 오버헤드가 생기게 된다.

<18> 한편, 경우에 따라서 전압 펌핑 회로의 구동 능력 및 크기 그리고 데이터 버스의 연결을 고려하여, 불휘발성 메모리의 기입 데이터의 버스 폭(bus width)이 8-비트, 16-비트, 32-비트 등으로 다양하게 정해질 수 있다. 예를 들면, 기입 데이터 경로의 폭이 읽기 데이터 경로의 폭과 동일하게 설계될 수 있다. 이러한 경우, 기입 시간이 짧고 전압 펌핑 회로의 소모 전류가 작아지는 장점이 있으나 상대적으로 여러 번 기입 동작을 수행해야 하는 단점이 있다. 또한 버스 폭에 따라서 기입할 데이터의 처리가 달라져야 하는 번거로움이 있다. 통일된 인터페이스를 가져갈 경우, 중앙 처리 장치의 개입으로 데이터의 처리를 적절히 행할 필요가 있다.

<19> 직렬 인터페이스를 통하여 불휘발성 메모리의 저장 정보를 갱신하고자 할 때, 불휘발성 메모리의 기입 데이터 폭이 달라져도 중앙 처리 장치의 개입 없이(또는 중앙 처리 장치의 개입을 최소화한 상태에서) 일관된 전송 프로토콜을 이용하여 불휘발성 메모리를 갱신할 수 있을 뿐만 아니라 직렬 데이터 전송 속도가 가변적으로 조정할 수 있는 새로운 온-보드 프로그래밍 방법이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명의 목적은 큰 사이즈의 직렬 버퍼 없이 불휘발성 메모리를 프로그램하는 방법을 제공하는 것이다.

<21> 본 발명의 다른 목적은 작은 사이즈의 직렬 버퍼를 이용하여 불휘발성 메모리의 프로그래밍을 제어하는 메모리 컨트롤러를 구비한 마이크로 제어 시스템을 제공하는 것이다.

【발명의 구성 및 작용】

<22> (구성)

<23> 본 발명의 특징에 따르면, 제어 시스템 내에 구현되고, 기입 버퍼 및 메모리 셀들의 어레이를 포함하는 불휘발성 메모리를 프로그램하는 방법이 제공된다.

이러한 프로그램 방법에 의하면, 먼저, 직렬 어드레스 비트들이 순차적으로 입력되어 어드레스 레지스터에 유지되고, 제 1 그룹의 직렬 데이터 비트들이 순차적으로 입력되어 데이터 레지스터에 유지된다. 그 다음에, 상기 제 1 그룹의 직렬 데이터 비트들이 모두 전송되었는지의 여부가 판별된다. 상기 직렬 데이터 비트들이 모두 전송될 때 상기 데이터 레지스터에서 상기 기입 버퍼로 상기 직렬 데이터 비트들이 동시에 전송된다. 상기 어드레스 비트들에 따라 상기 직렬 데이터 비트들에 대한 프로그램 동작을 수행하는 동안, 제 2 그룹의 직렬 데이터 비트들이 순차적으로 입력되어 상기 데이터 레지스터에 유지된다. 나머지 그룹들의 직렬 데이터 비트들이 프로그램될 때까지, 판별 동작, 전송 동작 그리고 프로그램 동작이 반복적으로 수행된다.

<24> 이 실시예에 있어서, 상기 제 1 그룹을 제외하고 나머지 그룹들 각각의 직렬 데이터 비트들이 모두 상기 데이터 레지스터에 전송될 때마다 상기 어드레스 레지스터의 값이 증가된다.

<25> 이 실시예에 있어서, 상기 직렬 데이터 비트들의 각 그룹은 1바이트 또는 그 보다 많은 바이트들로 이루어진다.

- <26> 본 발명의 다른 특징에 따르면, 제어 시스템은 데이터 정보를 저장하는 불휘발성 메모리와; 외부로부터 공급되는 어드레스를 저장하는 어드레스 레지스터와; 외부로부터 공급되는 직렬 데이터를 저장하는 데이터 레지스터와; 상기 불휘발성 메모리, 상기 어드레스 레지스터, 그리고 상기 데이터 레지스터를 제어하는 제어 로직을 포함한다. 상기 데이터 레지스터로의 직렬 데이터 전송이 완료될 때, 상기 제어 로직은 상기 데이터 레지스터 내의 직렬 데이터가 상기 불휘발성 메모리의 기입 버퍼로 전송되게 하고 상기 직렬 데이터에 대한 프로그램 동작을 수행하도록 프로그램 인에이블 신호를 활성화시킨다. 상기 프로그램 동작을 수행하는 동안 다음의 직렬 데이터가 상기 데이터 레지스터로 전송된다. 그리고 상기 데이터 레지스터에서 상기 기입 버퍼로 상기 직렬 데이터가 전송될 때마다 상기 어드레스 레지스터의 어드레스를 변경하도록 상기 어드레스 레지스터를 제어한다.
- <27> 이 실시예에 있어서, 상기 불휘발성 메모리의 기입 버스 폭을 나타내는 바이트 선택 정보를 출력하는 바이트 선택 회로를 더 포함하고, 상기 제어 로직은 상기 바이트 선택 정보에 따라 상기 프로그램 인에이블 신호의 활성화 구간을 조절한다.
- <28> 이 실시예에 있어서, 직렬 데이터 전송 시간은 상기 프로그램 인에이블 신호의 활성화 시간과 같거나 그 보다 길다.
- <29> 이 실시예에 있어서, 상기 바이트 선택 회로의 바이트 선택 정보는 상기 어드레스 및 상기 직렬 데이터가 전송되기 이전에 설정된다.

<30> 이 실시예에 있어서, 상기 바이트 선택 회로의 바이트 선택 정보는 상기 제어 시스템의 중앙 처리 장치, 접지 전압 핀, 전원 전압 핀, 그리고 커맨드 레지스터 중 어느 하나를 이용하여 설정된다.

<31> (작용)

<32> 이러한 방법에 의하면, 작은 크기의 버퍼(또는 레지스터)를 이용하여 불휘발성 메모리에 저장된 정보를 갱신할 수 있다.

<33> (실시예)

<34> 본 발명에 따른 마이크로 제어 시스템(또는 마이크로컨트롤러)에는 클럭 신호 및 데이터 신호를 이용하거나 송/수신 데이터 신호를 이용하여 시스템에 내장되는 불휘발성 메모리를 프로그램하기 위한 전송 프로토콜이 적용된다. 그러한 전송 프로토콜에 따르면, 불휘발성 메모리 내의 기입 버퍼의 크기(예를 들면, 1Byte 내지 4Byte)와 같거나 큰 데이터 레지스터(또는 직렬 버퍼)가 사용되며, 불휘발성 메모리의 저장 정보를 갱신하는 데 필요한 데이터 비트들(예를 들면, 1Byte 내지 4Byte)이 외부로부터 데이터 레지스터에 순차적으로 전달된다. 그렇게 전달된 데이터 비트들은 불휘발성 메모리 내의 기입 버퍼에 로드되고, 기입 버퍼 내에 로드된 데이터 비트들은 그 다음에 불휘발성 메모리의 어레이에 프로그램된다. 데이터 비트들이 프로그램되는 동안, 다음에 프로그램될 데이터 비트들이 외부로부터 데이터 레지스터에 순차적으로 전달된다. 데이터 전달 및 프로그램 동작들이 동시에 이루어지기 때문에, 큰 사이즈의 버퍼 없이 빠른 시간 내에 데이터를 프로그램할 수 있다. 이를 달성하기 위한 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 이후 상세히 설명될 것이다.

<35> 도 1은 본 발명의 제 1 실시예에 따른 메모리 컨트롤러를 구비한 마이크로 제어 시스템을 보여준다. 도 1을 참조하면, 불휘발성 메모리(100)는 전기적으로 소거 및 프로그램 가능하고, 그것의 소거/프로그램/읽기 동작들은 메모리 컨트롤러(200)에 의해서 제어된다. 불휘발성 메모리(100)는 행 및 열 디코더 블록(X-DEC & Y-DEC)(120), EEPROM 어레이(140), 고전압 발생 블록(160) 그리고 기입 버퍼(180)를 포함한다. EEPROM 어레이(140)는 행들(또는 워드 라인들)과 열들(또는 비트 라인들)로 배열되는 전기적으로 소거 및 프로그램 가능한 메모리 셀들을 구비하고, 행 및 열 디코더 블록(120)은 메모리 컨트롤러(200)로부터 제공되는 어드레스에 따라 어레이(140)의 행(또는 워드 라인) 및 열들(또는 비트 라인들)을 선택한다. 고전압 발생 블록(160)은 메모리 컨트롤러(200)의 제어에 따라 프로그램/소거/읽기 동작들에 필요한 전압을 발생하고, 기입 버퍼(180)에는 메모리 컨트롤러(200)로부터 제공되는 프로그램될 데이터가 제어 신호(WE)에 의해서 로드된다.

<36> 계속해서 도 1을 참조하면, 메모리 컨트롤러(200)는 직렬 인터페이스 방식에 따라 외부로부터 순차적으로 제공되는 직렬 데이터 비트들을 임시적으로 저장하고, 그렇게 저장된 데이터 비트들을 불휘발성 메모리(100)의 기입 버퍼(180)에 전달한다. 메모리 컨트롤러(200)는 데이터 비트들을 프로그램하는 데 필요한 어드레스 뿐만 아니라 제어 신호들을 생성하며; 제어 로직(210), 데이터 레지스터(220), 어드레스 레지스터(230), 바이트 선택 레지스터(240) 그리고 커맨드 레지스터(250)를 포함한다.

<37> 제어 로직(210)은 커맨드, 어드레스 그리고 데이터를 받아들이기 위한 데이터 핀(301)과 클럭 신호(SCLK)를 받아들이기 위한 클럭 핀(302)에 연결되어 있다. 이하, 데이터 핀(301)에 인가되는 커맨드, 어드레스 그리고 데이터는 'SDA'로 표기된다. 불휘발성 메모리(100)의 정보를 갱신하기 위한 프로그램 동작이 개시되면, 제어 로직(210)은 데이터 핀(301)에 인가되는 데이터 및 어드레스 정보가 데이터 레지스터(220) 및 어드레스 레지스터(230)에 클럭 신호(SCLK)에 동기되어 저장되도록 데이터 레지스터(220) 및 어드레스 레지스터(230)를 제어한다. 제어 로직(210)은 불휘발성 메모리(100)를 제어하기 위한 제어 신호들(PGM, WE, HV)을 발생한다. 제어 신호(WE)는 데이터 레지스터(220)에 저장되어 있는 데이터 비트들을 기입 버퍼(180)에 로드시키기 위한 신호이고, 제어 신호(PGM)(또는 프로그램 인에이블 신호)는 기입 버퍼(180)에 로드된 데이터 비트들이 EEPROM 어레이(140)에 프로그램되는 구간을 나타내는 신호이며, 제어 신호(HV)는 프로그램 동작에 필요한 고전압을 발생하도록 고전압 발생 블럭(160)을 활성화시키기 위한 신호이다.

<38> 데이터 레지스터(220)는 제어 로직(210)의 제어 하에서 데이터 핀(301)에 순차적으로 인가되는 직렬 데이터 비트들을 클럭 신호(SCLK)에 동기되어 임시적으로 저장하고, 어드레스 레지스터(230)는 제어 로직(210)의 제어 하에서 클럭 핀(302)에 순차적으로 인가되는 어드레스 비트들을 클럭 신호(SCLK)에 동기되어 저장한다. 바이트 선택 레지스터(240)는 커맨드 레지스터(250)에 프로그램된 값에 따라 기입 데이터 버스 폭을 알리는(또는 불휘발성 메모리(100)의 기입 버퍼 사이즈)을 나타내는 선택 신호를 출력한다. 커맨드 레지스터(250)는 데이터 핀

(301)과 클럭 핀(302)에 연결되고, 클럭 신호(SCLK)에 동기되어 데이터 핀(301)에 인가되는 데이터에 의해서 프로그램된다. 커맨드 레지스터(250)는 불휘발성 메모리(100)의 정보를 갱신하기 위한 프로그램 동작이 수행되기 이전에 프로그램된다. 제어 신호(PGM)의 활성화 구간(또는 활성화 시간)은 바이트 선택 레지스터(240)의 출력에 따라 가변될 수 있다.

<39> 도 2는 본 발명의 메모리 컨트롤러에 따른 프로그램 동작을 설명하기 위한 동작 타이밍도이다. 도 1 및 도 2를 참조하여 본 발명의 프로그램 동작이 이하 상세히 설명될 것이다. 프로그램 동작을 설명하기에 앞서, 불휘발성 메모리(100)의 기입 버퍼의 용량이 1바이트(8-비트)라고 가정하자.

<40> 프로그램 동작이 개시되면, 커맨드 레지스터(250)는 불휘발성 메모리(100)의 기입 데이터 버스 폭(또는 기입 버퍼의 사이즈)을 알리는 데이터에 의해서 프로그램되고, 바이트 선택 레지스터(240)는 커맨드 레지스터(250)의 프로그램된 값에 따라 기입 데이터 버스 폭을 나타내는 선택 신호를 제어 로직(210)에 출력한다. 제어 로직(210)은 선택 신호에 따라 불휘발성 메모리(100)의 기입 버퍼의 용량이 1바이트임을 인식하여 제어 신호(PGM)의 활성화 구간을 설정한다. 그 다음에, 도 2에 도시된 바와 같이, 데이터 핀(301)에 커맨드 및 어드레스가 외부로부터 순차적으로 인가된다. 제어 로직(210)은 데이터 핀(301)에 인가되는 커맨드를 받아들여 해석하고, 데이터 핀(301)에 인가되는 어드레스 비트들이 클럭 신호(SCLK)에 동기되어 어드레스 레지스터(230)에 순차적으로 저장되게 한다. 그 다음에 인가되는 데이터(이하, '제 1 프로그램 데이터'라 칭함)는 제어 로직(210)의 제어 하에서 데이터 레지스터(220)로 전달된다.

<41> 1바이트의 데이터 비트들 즉, 제 1 프로그램 데이터가 모두 데이터 레지스터(220)에 전송되기 이전에, 제어 로직(210)은 고전압 발생기(160)가 프로그램 동작에 필요한 고전압을 발생하도록 제어 신호(HV)를 활성화시킨다. 제어 로직(210)은 데이터 핀(301)에 인가되는 직렬 데이터(SDA)의 시작 비트(start bit)와 정지 비트(stop bit)를 검출한다. 만약 정지 비트가 검출되면, 제어 로직(210)은 데이터 레지스터(220)의 제 1 프로그램 데이터 비트들이 기입 버퍼(180)에 로드되게 하고, 어드레스 레지스터(230)의 어드레스가 행 및 열 디코더 블록(120)으로 전달되게 한다. 이와 동시에, 제어 로직(210)은 제어 신호(PGM)를 활성화시키며, 그 결과 이 분야에 잘 알려진 방법에 따라 프로그램 동작이 소정 시간(예를 들면, 30 μ s) 동안 수행된다.

<42> 프로그램 동작이 수행되는 동안(또는 제어 신호(PGM)가 활성화되어 있는 동안), 다음에 프로그램될 1바이트의 데이터 비트들(이하, '제 2 프로그램 데이터'라 칭함)이 제어 로직(210)의 제어 하에서 클럭 신호(SCLK)에 동기되어 데이터 레지스터(220)에 저장된다. 제 2 프로그램 데이터에 포함되는 정지 비트가 검출될 때, 제어 로직(210)은 어드레스가 '1'만큼 증가되도록 어드레스 레지스터(230)를 제어한다. 이와 동시에, 제어 로직(210)은 데이터 레지스터(220)의 제 2 프로그램 데이터 비트들이 기입 버퍼(180)에 로드되게 하고, 어드레스 레지스터(230)의 어드레스가 행 및 열 디코더 블록(120)으로 전달되게 한다. 또한 제어 로직(210)은 제어 신호(PGM)를 활성화시키며, 그 결과 제 2 프로그램 데이터에 대한 프로그램 동작이 수행된다. 이후, 프로그램될 나머지 바이트 데이터 역시 앞서

설명된 것과 동일한 방법으로 불휘발성 메모리(100)의 기입 버퍼(180)로 전달된다.

<43> 결론적으로, 외부로부터 시리얼하게 전송되는 데이터는 프로그램될 데이터

용량에 비해 상당히 작은 크기의 데이터 레지스터(220)를 이용한 메모리 컨트롤러(20)를 통해 연속적으로 불휘발성 메모리(100)에 프로그램된다. 주의해야 할

사항은 데이터 비트들이 데이터 레지스터(220)에 전송되는 시간이 프로그램 시간

또는 제어 신호(PGM)의 활성화 시간보다 길게 설정되지 않아야 한다는 점이다.

만약 데이터 비트들이 데이터 레지스터(220)에 전송되는 시간이 프로그램 시간

또는 제어 신호(PGM)의 활성화 시간보다 짧으면, 제어 신호(PGM)와 어드레스와

데이터 간의 타이밍이 보장되지 않아 프로그램을 수행할 수 없다.

<44> 도 1의 점선으로 표시된 바와 같이, 불휘발성 메모리(100)의 기입 버퍼

(180)의 용량이 4바이트인 경우, 제어 로직(210)은 커맨드 레지스터(250)의 프로

그램된 값에 의해서 결정된 바이트 선택 레지스터(240)의 선택 신호에 따라 불휘

발성 메모리(100)의 기입 버퍼(180)가 4바이트의 용량을 가짐을 인식한다. 제어

로직(210)은 기입 버퍼의 사이즈 정보에 따라 데이터 레지스터(220) 및 제어 신

호(PGM)의 활성화 구간을 제어한다(조정한다). 비록 기입 버퍼(180)의 용량이 변

화되더라도, 메모리 컨트롤러(200)의 나머지 구성 요소들은 앞서 설명된 것과 동

일하게 동작한다. 도 3에 도시된 동작 타이밍도에 따른 데이터 전송 및 프로그램

동작은 그리므로 생략된다.

<45> 프로그램 시간(예를 들면, $30\mu s$)이 고전압 펌핑 회로의 전류 구동 능력을

벗어나지 않는다면 일시에 프로그램하는 불휘발성 메모리의 셀마다 일정하므로,

4바이트의 데이터는, 도 3에 도시된 바와 같이, 정해진 프로그램 시간 내에 데이터 레지스터(220)에 전송될 수 있다. 데이터 레지스터(220)로 데이터를 전송하기 위한 데이터 전송 속도는 1바이트의 용량을 갖는 불휘발성 메모리에 비해서 증가된다. 따라서 가장 긴 프로그램 시간을 갖는 불휘발성 메모리를 기준으로 데이터 전송 속도가 결정되면, 그러한 전송 방식(transfer protocol)은 모든 불휘발성 메모리에 적용 가능하다. 즉 전송 데이터의 크기(또는 기입 버퍼의 크기)에 관계없이 동일한 방식으로 데이터 전송 및 프로그램 동작들이 수행될 것이다.

<46> 도 4는 본 발명의 제 2 실시예에 따른 마이크로 제어 시스템의 개략적인 구성을 보여주는 블록도이다. 제 2 실시예에 따른 마이크로 제어 시스템은 바이트 선택 레지스터의 제어 방법을 제외하면 제 1 실시예의 그것과 동일하다. 도면에 도시된 바와 같이, 바이트 선택 회로(240')는 마이크로 제어 시스템의 중앙 처리 장치(미도시됨)에 의해서 프로그램되거나, 전원 전압 또는 접지 전압 핀을 이용하여 프로그램될 수 있다. 설명의 중복을 피하기 위해서, 제 2 실시예에 따른 데이터 전송 및 프로그램 동작은 생략된다. 도 5는 본 발명의 제 3 실시예에 따른 마이크로 제어 시스템의 개략적인 구성을 보여주는 블록도이다. 도 5에 있어서, 도 1에 도시된 구성 요소들과 동일한 기능을 갖는 구성 요소들은 동일한 참조 번호들로 표기되며, 그것에 대한 설명은 그러므로 생략된다. 본 발명의 제 3 실시예는 비동기식 방식을 이용한다는 점을 제외하면, 제 1 및 제 2 실시예와 실질적으로 동일하다. 그러므로, 그것에 대한 설명은 생략된다.

<47> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사

상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<48> 상술한 바와 같이, 직렬 인터페이스를 통하여 불휘발성 메모리의 저장 정보를 갱신하고자 할 때, 불휘발성 메모리의 기입 데이터 폭이 달라져도 중앙 처리 장치의 개입 없이(또는 중앙 처리 장치의 개입을 최소화한 상태에서) 일관된 전송 프로토콜을 이용하여 불휘발성 메모리의 저장 정보를 갱신할 수 있을 뿐만 아니라 직렬 데이터 전송 속도를 가변적으로 조정할 수 있다. 불휘발성 메모리가 내장되는 마이크로컨트롤러와 같은 칩의 양산시 불휘발성 메모리의 테스트 시간을 줄이고자 하는 경우, 불휘발성 메모리를 구별하여 전송 속도를 알맞게 높임으로써 테스트 시간을 줄일 수 있다.

【특허청구범위】**【청구항 1】**

제어 시스템 내에 구현되고, 기입 버퍼 및 메모리 셀들의 어레이를 포함하는 불휘발성 메모리를 프로그램하는 방법에 있어서:

a) 직렬 어드레스 비트들을 순차적으로 받아들여 어드레스 레지스터에 유지하는 단계;

b) 제 1 그룹의 직렬 데이터 비트들을 순차적으로 받아들여 데이터 레지스터에 유지하는 단계와;

c) 상기 제 1 그룹의 직렬 데이터 비트들이 모두 전송되었는지의 여부를 판별하는 단계와;

d) 상기 직렬 데이터 비트들이 모두 전송될 때 상기 데이터 레지스터에서 상기 기입 버퍼로 상기 직렬 데이터 비트들을 전송하는 단계와;

e) 상기 어드레스 비트들에 따라 상기 직렬 데이터 비트들에 대한 프로그램 동작을 수행하는 동안, 제 2 그룹의 직렬 데이터 비트들을 순차적으로 받아들여 상기 데이터 레지스터에 유지하는 단계와; 그리고

f) 나머지 그룹들의 직렬 데이터 비트들이 프로그램될 때까지 상기 단계들(c, d, e)을 반복적으로 수행하는 단계를 포함하는 것을 특징으로 하는 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 그룹을 제외하고 나머지 그룹들 각각의 직렬 데이터 비트들이 모두 상기 데이터 레지스터에 전송될 때마다 상기 어드레스 레지스터의 값이 증가되는 것을 특징으로 하는 방법.

【청구항 3】

제 2 항에 있어서,

상기 직렬 데이터 비트들의 각 그룹은 1바이트 또는 그 보다 많은 바이트들로 이루어지는 것을 특징으로 하는 방법.

【청구항 4】

데이터 정보를 저장하는 불휘발성 메모리와;

외부로부터 공급되는 어드레스를 저장하는 어드레스 레지스터와;

외부로부터 공급되는 직렬 데이터를 저장하는 데이터 레지스터와;

상기 불휘발성 메모리, 상기 어드레스 레지스터, 그리고 상기 데이터 레지스터를 제어하는 제어 로직을 포함하고,

상기 데이터 레지스터로의 직렬 데이터 전송이 완료될 때, 상기 제어 로직은 상기 데이터 레지스터 내의 직렬 데이터가 상기 불휘발성 메모리의 기입 버퍼로 전송되게 하고 상기 직렬 데이터에 대한 프로그램 동작을 수행하도록 프로그램 인에이블 신호를 활성화시키며; 상기 프로그램 동작을 수행하는 동안 다음의 직렬 데이터가 상기 데이터 레지스터로 전송되며; 그리고 상기 데이터 레지스터에서 상기 기입 버퍼로 상기 직렬 데이터가 전송될 때마다 상기 어드레스 레지스터의 어드레스를 변경하도록 상기 어드레스 레지스터를 제어하는 제어 시스템.

【청구항 5】

제 4 항에 있어서,

상기 불휘발성 메모리의 기입 버스 폭을 나타내는 바이트 선택 정보를 출력하는 바이트 선택 회로를 더 포함하고, 상기 제어 로직은 상기 바이트 선택 정보에 따라 상기 프로그램 인에이블 신호의 활성화 구간을 조절하는 제어 시스템.

【청구항 6】

제 5 항에 있어서,

직렬 데이터 전송 시간은 상기 프로그램 인에이블 신호의 활성화 시간과 같거나 그 보다 긴 제어 시스템.

【청구항 7】

제 6 항에 있어서,

상기 바이트 선택 회로의 바이트 선택 정보는 상기 어드레스 및 상기 직렬 데이터가 전송되기 이전에 설정되는 제어 시스템.

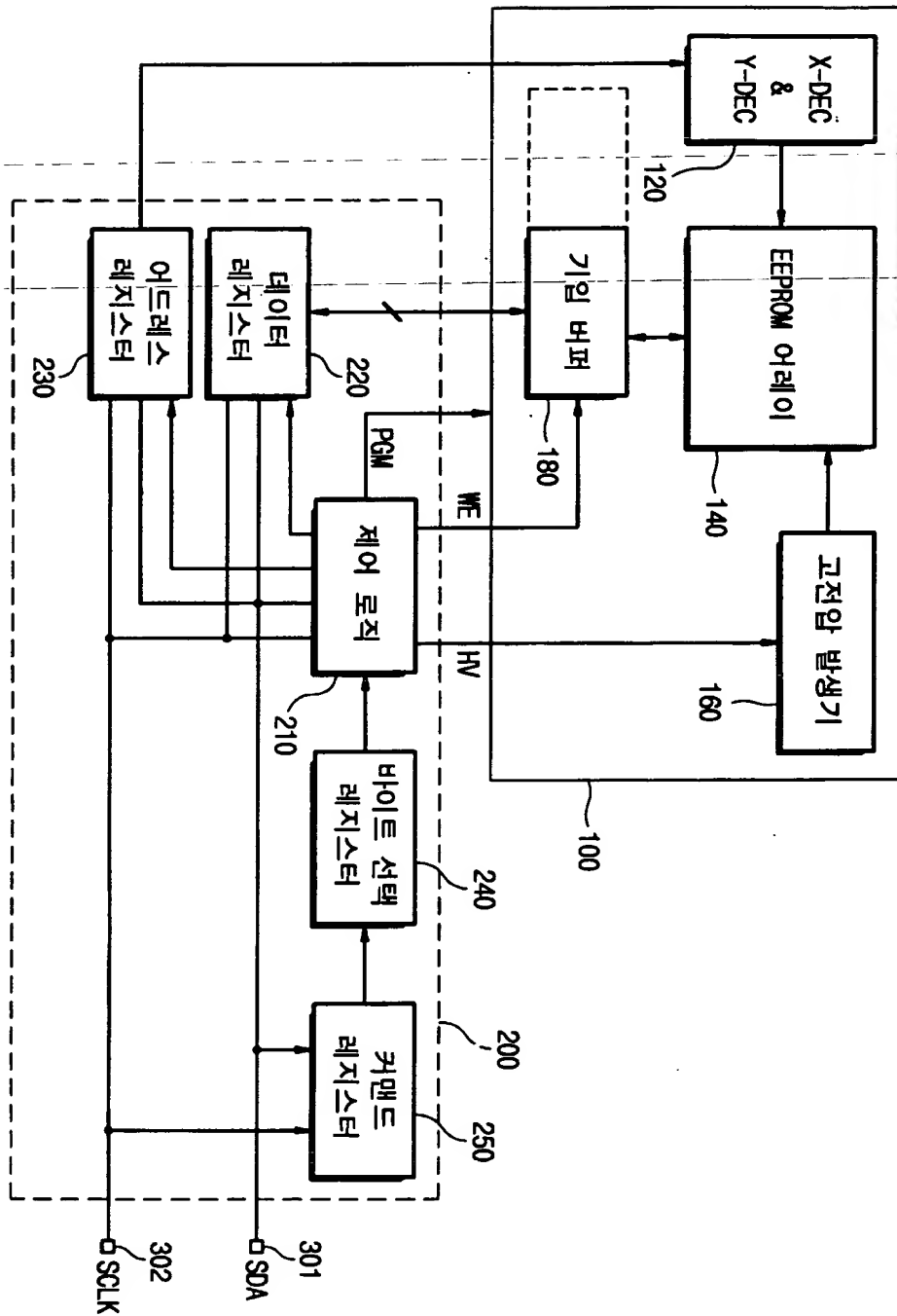
【청구항 8】

제 7 항에 있어서,

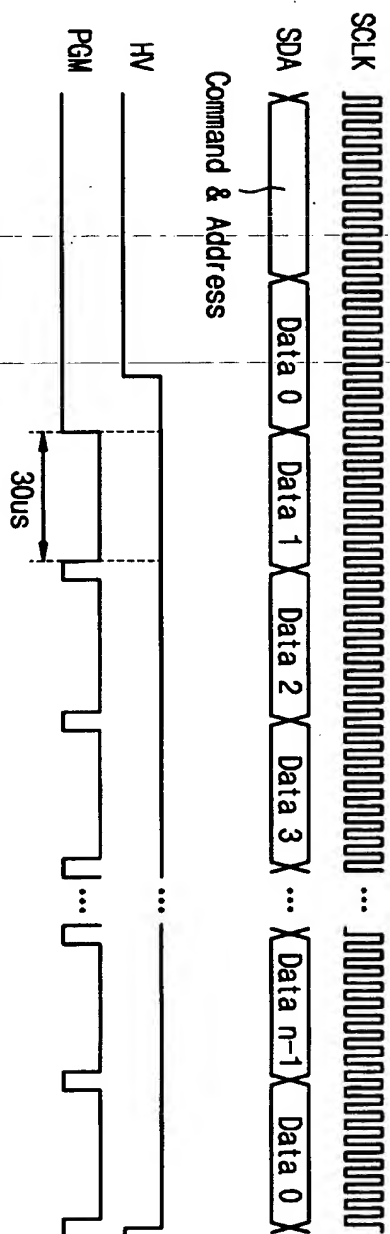
상기 바이트 선택 회로의 바이트 선택 정보는 상기 제어 시스템의 중앙 처리 장치, 접지 전압 핀, 전원 전압 핀, 그리고 커맨드 레지스터 중 어느 하나를 이용하여 설정되는 제어 시스템.

【도면】

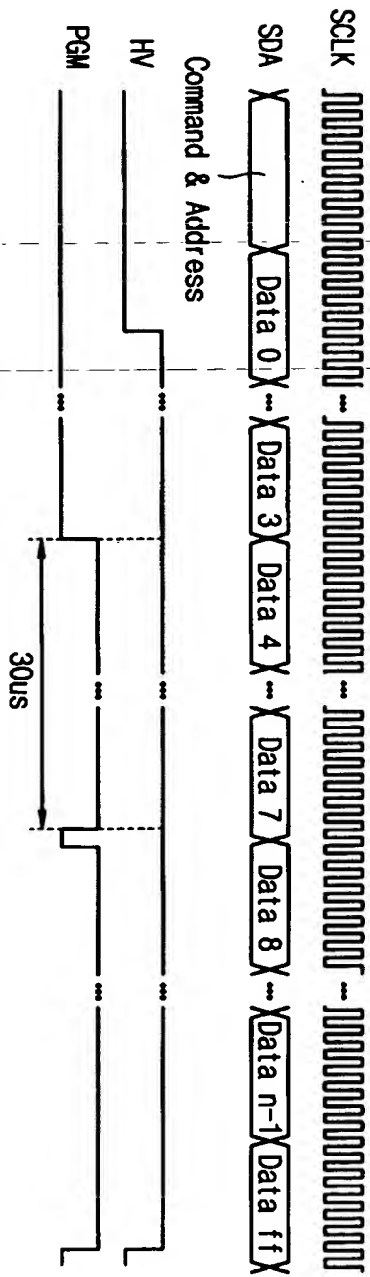
【도 1】



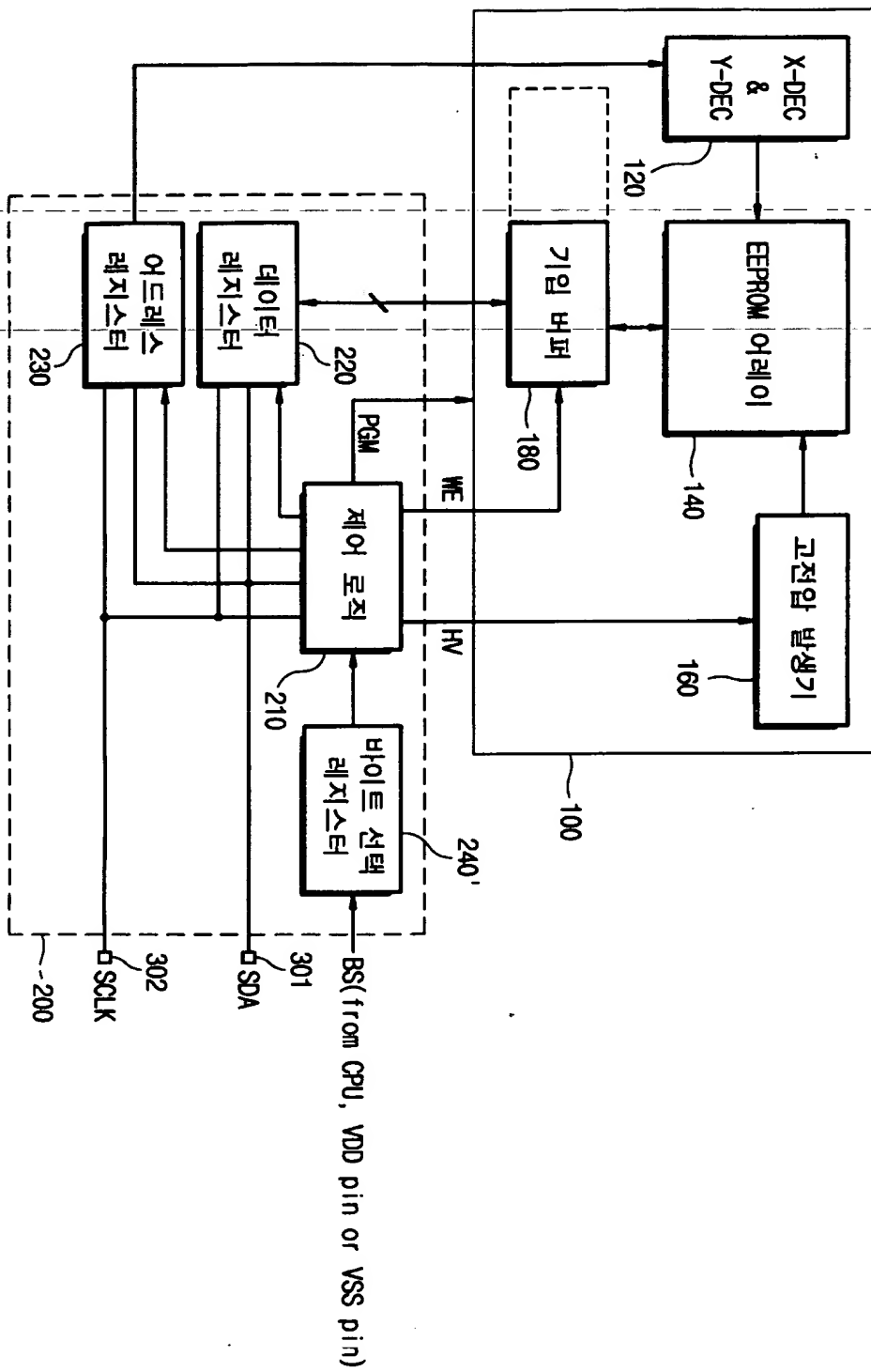
【도 2】



【도 3】



【도 4】



【도 5】

